

УДК 621.643.053.008.6

DOI: 10.18698/0536-1044-2015-12-85-91

# Тенденции развития средств вычислительной техники и проблемы электронного конструирования

С.М. Коваленко<sup>1</sup>, О.В. Платонова<sup>1,2</sup>, В.М. Микитин<sup>1</sup>

<sup>1</sup> Московский государственный университет информационных технологий, радиотехники и электроники, 119454, Москва, Российская Федерация, пр-т Вернадского, д. 78

<sup>2</sup> МГТУ им. Н.Э. Баумана, 105005, Москва, Российская Федерация, 2-я Бауманская ул., д. 5, стр. 1

## The Development Trends of Computing Equipment and Issues Related to Electronic Modelling

S.M. Kovalenko<sup>1</sup>, O.V. Platonova<sup>1,2</sup>, V.M. Mikitin<sup>1</sup>

<sup>1</sup> Moscow State Technical University of Radio Engineering, Electronics and Automation, 119454, Moscow, Russian Federation, Vernadsky Ave., Bldg. 78

<sup>2</sup> BMSTU, 105005, Moscow, Russian Federation, 2<sup>nd</sup> Baumanskaya St., Bldg. 5, Block 1



e-mail: kovalenko@mirea.ru, oplatonova@gmail.com, mikitin@mirea.ru



Рассмотрена взаимосвязь уровня полупроводниковой технологии элементов (характеризующегося длиной канала транзистора) и параметров кристалла (размера и степени интеграции) в широком диапазоне значений. В основу рассмотрения положено такое понятие, как базовый фактор разрешающей способности литографии, сохраняющий свое постоянное значение на каждом этапе развития технологии. Предложены математические модели, описывающие взаимосвязи размера кристалла, степени его интеграции и уровня технологии и позволяющие учесть тип, топологические нормы и начальные длины каналов транзисторов. Приведена уточненная характеристика развития поколений средств вычислительной техники с учетом уровня технологии и степени интеграции элементов.

**Ключевые слова:** средства вычислительной техники, электронное конструирование, уровень микроэлектронной технологии, степень интеграции микросхем, быстродействие и помехозащищенность цифровой аппаратуры.



The authors of the article study the relationship between the level of semiconductor technology characterized by the transistor channel length and the crystal parameters (size and complexity factor) in a wide range of values. The base factor of lithography resolution capacity, which remains the same at every stage of technology development, is the foundation of the study. The authors propose mathematical models describing the relationships between the size of the crystal, its complexity factor, technology level as well as taking into account the type, topological norms and initial channel lengths of transistors. An updated description of the development of generations of computing equipment is provided with regard to the technology level and complexity factor of the elements.

**Keywords:** computing equipment, electronic modelling, level of micro-electronic technology, microcircuit complexity level, processing time and interference resistance of digital equipment.

Конструирование современных ЭВМ любого назначения представляет собой сложный процесс создания (разработки) широкого комплекта конструкторской документации на элементы (БИС, СБИС), функциональные узлы, блоки, устройства и ЭВМ в целом, предназначенной для последующего изготовления и эксплуатации. Характер задач, решаемых в процессе разработки конструкторской документации, разнообразен: от обеспечения механической прочности, надежности и тепловых режимов в конструкциях до достижения заданного быстродействия, помехоустойчивости и электромагнитной совместимости.

В общем процессе конструирования особое место занимают вопросы, связанные с разработкой электронной части устройств ЭВМ. Они имеют свои особенности, которые заключаются в том, что электронная часть предназначена для выполнения главной функции ЭВМ, а именно для обработки данных, обмена ими и получения результатов вычислений по заданным алгоритмам и программам. В связи с этим конструирование электронной части связано с решением широкого круга сложных специфических задач: с выбором оптимальных параметров логических элементов; компоновкой и оптимальным выбором параметров конструкций ЭВМ, обеспечением быстродействия и помехоустойчивости линий связи в общей системе соединений и др. Эти вопросы взаимосвязаны, и для их решения требуется разработка соответствующих методов, правил, принципов и критериев конструирования.

Если при других видах конструирования ЭВМ (механическом, тепловом, художественном и др.) любого поколения решаются главным образом традиционные задачи, то при конструировании электронной части решаемые задачи постоянно изменяются и усложняются. Первоначально определяющей задачей было конструирование транзисторов и транзисторных схем (II поколение средств вычислительной техники СВТ), затем, с появлением интегральных схем (ИС) (III поколение СВТ), определяющей задачей стала компоновка узлов и блоков на ИС и конструирование линий связи. Переход к широкому применению в ЭВМ БИС и СБИС (IV и V поколения СВТ) привел к существенному изменению принципов компоновки и появлению новых методов обработки информации, что не могло не отразиться на изменении методов конструирования и компо-

новки электронной части ЭВМ. При этом сохранялись определяющая роль и значимость задачи обеспечения заданного быстродействия, помехоустойчивости и помехозащищенности устройств. Таким образом, в рамках конструирования электронной части ЭВМ постепенно формировалось самостоятельное направление, именуемое в настоящее время электронным конструированием.

Понятие «электронное конструирование ЭВМ» было введено в конце 1960-х гг. советскими учеными В.К. Левиным, Б.Н. Файзулаевым и В.А. Соловьевым, руководившими работами по созданию первых высокопроизводительных ЭВМ на транзисторах и ИС.

Среди трудов, наиболее полно отражающих вопросы электронного конструирования, следует выделить работы [1–3], широко используемые в ряде вузов при чтении курсов, связанных с современным конструированием ЭВМ и СВТ. Следует также отметить учебники по конструированию ЭВМ и систем [4, 5], где рассмотрены эволюция поколений ЭВМ и элементы электронного конструирования, хотя и без употребления соответствующих терминов.

Прогресс в вычислительной технике немалым без существенных достижений в области электронного конструирования элементов и устройств, являющихся технической основой построения ЭВМ любого класса. Обеспечение быстродействия и помехозащищенности элементов, узлов и устройств ЭВМ, составляющих предмет электронного конструирования, становится в настоящее время первоочередной и наиболее важной частью конструирования ЭВМ. Эта проблема обостряется при переходе к сверхскоростным логическим элементам (ЛЭ) БИС и СБИС. Конструирование узлов ЭВМ в наносекундном диапазоне, т. е. конструирование базовых матричных кристаллов и корпусов БИС и СБИС, многослойных печатных плат, многопроводных и кабельных линий связи, компоновка электронного оборудования по различным конструктивным модулям — все это относится к электронному конструированию, основными критериями качества которого являются быстродействие и помехозащищенность устройств ЭВМ.

По мере повышения степени интеграции и быстродействия БИС металлоемкость конструкции ЭВМ будет снижаться, главным объектом конструирования станет многослойная печатная плата и, в пределе, кристалл СБИС, на

котором будет размещаться большая часть электронного оборудования компьютера.

В связи с этим подготовка в учебных заведениях специалистов в области электронного конструирования ЭВМ имеет чрезвычайно важное значение. В настоящее время, однако, практически отсутствуют пособия, в которых наряду с теоретическими вопросами электронного конструирования рассматриваются и практические аспекты, касающиеся выбора оптимальных параметров элементной и конструктивно-технологической базы проектируемых ЭВМ. Эти вопросы, как правило, изложены в журнальных статьях, диссертациях, представлены на семинарах и конференциях. В имеющихся изданиях освещены вопросы электронного конструирования технических средств ЭВМ на ИС малой степени интеграции и практически не затрагиваются проблемы электронного конструирования перспективных средств на основе БИС и СБИС. Настоящая статья, отражающая малую часть вопросов электронного конструирования, направлена на устранение указанного недостатка.

Прогресс СВТ обусловлен, как правило, уровнем развития элементной базы, одной из основных характеристик которой является степень интеграции ЛЭ на кристалле ( $N$ ). Принято считать, что если степень интеграции ЛЭ на кристалле соответствует уровню ИС, то саму ИС построенные на ее основе СВТ относят к III поколению, если же уровню БИС или СБИС — то к IV или V поколению и т. д. При этом степень интеграции микросхем (ИС, БИС, СБИС) в рамках каждого поколения может изменяться в широком диапазоне и не всегда объективно отражает уровень микроэлектронной технологии.

Целесообразно рассматривать (что и происходит в последние годы) развитие поколений элементов и СВТ в зависимости не только от степени интеграции микросхем ( $N$ ), но и от достигнутого уровня микроэлектронной (полупроводниковой) технологии, т. е. от достигнутого в технологии минимального литографического размера, лежащего в основе увеличения степени интеграции элементов. В качестве минимального литографического размера используют длину канала транзистора ( $\lambda$ ). При таком подходе полупроводниковой технологии отводится лидирующее место, а степень интеграции элементов представляется следствием достигнутого технологического уровня.

Увеличение степени интеграции элементов на кристалле связано не только с уменьшением минимального литографического размера. Оно в существенной мере обусловлено также одновременным увеличением размера самого кристалла ( $L_{кр}$ ), что, собственно, отражает комплексное повышение степени интеграции и технологического уровня в микроэлектронике. Уместно говорить о наличии некоей комплексной взаимосвязи между размерами кристалла микросхемы и степенью интеграции элементов, с одной стороны, и уровнем полупроводниковой технологии кристалла — с другой стороны.

Рассмотрим взаимосвязь размера стороны кристалла (в предположении, что кристалл имеет квадратную форму) с уровнем полупроводниковой технологии. Такую взаимосвязь нетрудно установить, если использовать предложенное авторами понятие «базовый фактор разрешающей способности литографии, сохраняющий свое постоянное значение на каждом этапе развития полупроводниковой технологии». Этот фактор выражается как произведение размера стороны кристалла  $L_{кр}$  и минимального литографического размера  $\lambda$ :  $L_{кр}\lambda = \text{const}$ . Действительно, размер кристалла микросхемы всегда можно выразить через некоторое число (например,  $k$ ) минимальных литографических размеров  $\lambda$ :  $L_{кр} = k\lambda$ . Для начальной стадии развития технологии, характеризующейся значениями  $k = 1$  и  $\lambda = \lambda_0$ , размер кристалла составит  $L_{кр0} = \lambda_0$ ; с учетом умножения правой и левой частей этого равенства на  $\lambda_0$  получим  $L_{кр0}\lambda_0 = \lambda_0^2$ .

Суть базового фактора разрешающей способности полупроводниковой литографии для начального и  $i$ -го этапов технологии можно представить выражением

$$L_{кр0}\lambda_0 = L_{крi}\lambda_i = \lambda_0^2 = \text{const},$$

откуда в общем виде имеем

$$L_{кр} = \lambda_0^2 / \lambda. \quad (1)$$

Полупроводниковые технологии начали создаваться и осваиваться в мире в конце 1950-х — начале 1960-х годов (появление первых транзисторов). На этом этапе разрешающая способность фотолитографии характеризовалась широким диапазоном значений  $\lambda_0 = 50 \dots 100$  мкм. На этом основании взаимосвязь минимального литографического размера кристалла и размера самого кристалла можно

представить как  $L_{кр} = (2\ 500 \dots 10\ 000)/\lambda$ , где значения  $L_{кр}$  и  $\lambda$  выражены в микрометрах. Для практических оценок этой взаимосвязи и тенденции ее развития более целесообразно значение  $L_{кр}$  выражать в миллиметрах, а значение  $\lambda$  — в микрометрах. Для такого случая имеем  $L_{кр} = (2,5 \dots 10)/\lambda$ .

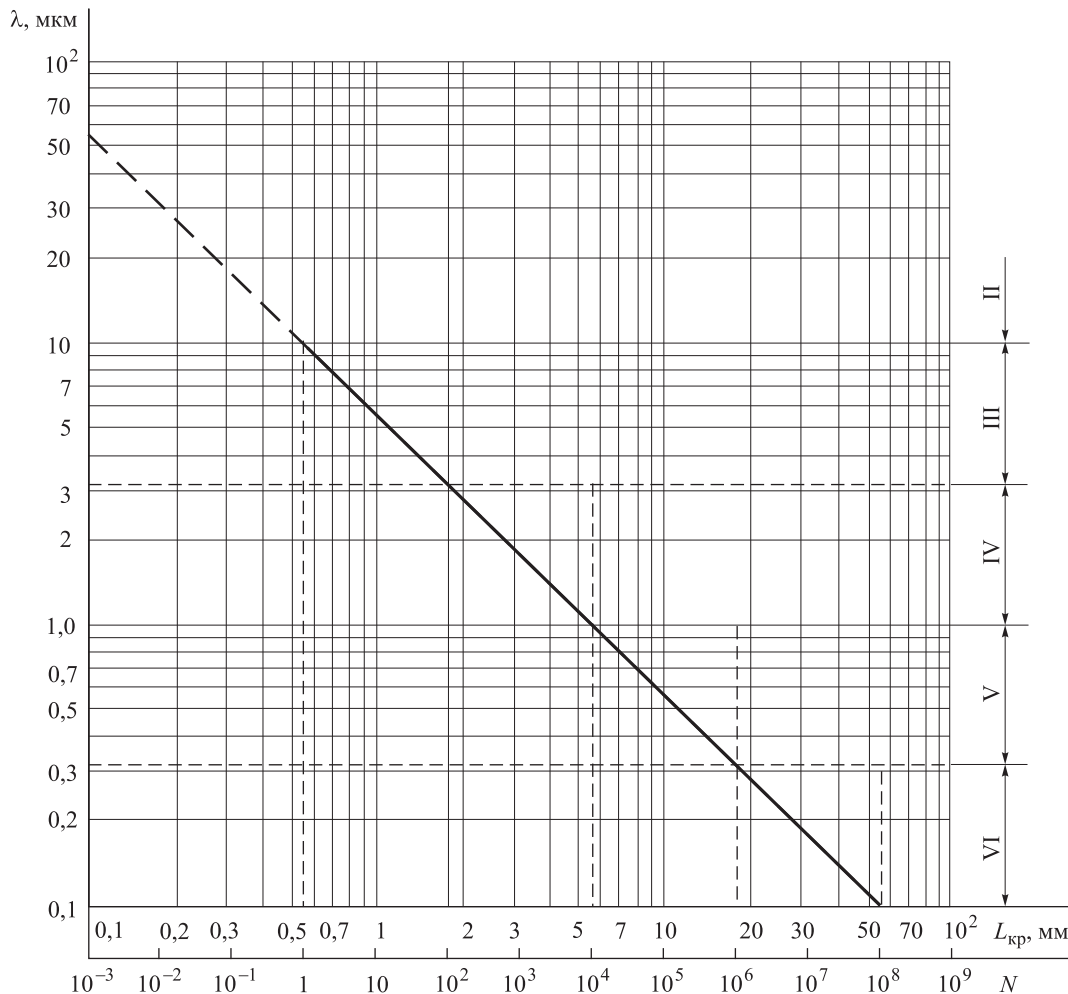
Рассмотрим взаимосвязь степени интеграции элементов на кристалле ( $N$ ) с уровнем полупроводниковой технологии кристалла ( $\lambda$ ). Такую взаимосвязь можно выявить, исходя из размеров кристалла, связанных как с размером ЛЭ ( $L_{ЛЭ}$ ), так и с числом ЛЭ (т. е. степенью интеграции) на кристалле, которое представлено в виде квадратной матрицы, а именно:  $L_{кр} = L_{ЛЭ} \sqrt{N}$ , или, полагая  $L_{ЛЭ} = k\lambda$ , как

$$L_{кр} = k\lambda\sqrt{N}, \quad (2)$$

где  $k$  — количество значений  $\lambda$  в размере данного ЛЭ, принятого за единицу измерения степени интеграции кристалла микросхемы.

Величина  $k$  в выражении (2) играет исключительно важную роль и отражает следующие факторы:

- тип ЛЭ, определяющего степень интеграции кристалла. Такой ЛЭ может иметь два, три или четыре входа и выполнять элементарную логическую функцию (например, И–НЕ). От числа входов в ЛЭ зависит число используемых транзисторов, а значит, и размер самого ЛЭ;
- топологические нормы на размеры отдельных элементов металлизации (например, на размеры контактных площадок, ширину проводников металлизации, величину зазоров между контактными площадками и проводниками и др.), используемые при проектировании топологии кристаллов микросхем;
- наличие резервных элементов (например, контактных площадок под выводы транзисторов), облегчающих трассировку соединений на слоях металлизации, и др.



Взаимосвязь поколений СВТ (II–VI), степени интеграции ( $N$ ), размеров кристалла ( $L_{кр}$ ) и уровня полупроводниковой технологии (длины  $\lambda$  канала транзистора) в конструкциях микросхем

Что касается топологических норм и резервных элементов, то, в представлении разработчиков, они могут иметь некоторые различия, однако их влияние на размеры кристалла не так существенно, как влияние типа ЛЭ. Часто в качестве единицы измерения функционального объема микросхемы (т. е. степени интеграции кристалла) используют двухвходовые ЛЭ. Если для оценки степени интеграции кристалла (микросхемы или других устройств) это приемлемо и удобно, то для оценки других характеристик (например, числа каскадов ЛЭ в тракте передачи информации) это неприемлемо. Не случайно уровень интеграции БИС и СБИС ведущими западными фирмами (например, IBM), как правило, оценивается логическим базисом на четыре входа независимо от типа схемотехники микросхемы. В связи с этим здесь и далее (если не оговорено особо) под типом ЛЭ авторы понимают четырехвходовой ЛЭ, выполняющий элементарную логическую функцию 4И-НЕ. Такой ЛЭ рассматривается здесь как базовый, именуется эквивалентным логическим элементом (ЭЛЭ), и используется для оценки степени интеграции (функционального объема) всех устройств (кроме запоминающих), включая ИС, БИС, СБИС и др.

Применительно к квадратной форме четырехвходового ЭЛЭ (что в КМОП-схемотехнике соответствует восьми транзисторам) с учетом сказанного, а также топологических норм, используемых в полупроводниковой технологии, значение  $k = 45...65$ .

Таким образом, решая систему уравнений (1) и (2) относительно величин  $\lambda$  и  $N$ , получаем в общем виде выражение, описывающее взаи-

мосвязь степени интеграции элементов на кристалле с уровнем его технологии:

$$N = \frac{1}{k^2} \left( \frac{\lambda_0}{\lambda} \right)^4.$$

На рисунке приведен усредненный линейный график, отражающий тенденцию развития степени интеграции, размеров кристалла, уровня полупроводниковой технологии и их взаимосвязь в конструкциях микросхем применительно к средним значениям  $\lambda_0 = 75$  мкм и  $k = 56$ .

При построении графика с учетом средних значений  $\lambda_0$  и  $k$  (см. рисунок) использованы следующие соотношения:  $L_{кр} = 5,6/\lambda$ ;  $N = (10/\lambda)^4$ ;  $L_{кр} = (\lambda/17,8)\sqrt{N}$ .

Приведенный на рисунке график отражает лишь некоторую примерную взаимосвязь между параметрами. Несмотря на это, его использование при практических расчетах существенно упрощает задачу анализа, оценки и выбора параметров кристалла микросхемы, особенно на начальном (эскизном) этапе проектирования.

Важно отметить другой аспект темы, связанный с изменением степени интеграции ИС, БИС, СБИС и т. д. в пределах соответствующего поколения элементов и СВТ. Это важно по той причине, что в ряде учебных пособий, а также в технической литературе вопросы интеграции элементов, поколений СВТ и уровня полупроводниковой технологии трактуются неоднозначно. Представляется целесообразным рассматривать изменение степени интеграции элементов в рамках каждого поколения по следующей схеме: малая интеграция — средняя

Элементы и степень их интеграции

Параметры	ИС		БИС		СБИС		СБИС
					СБИС		
			Малая	Средняя	Высокая		
			БИС				
	Малая	Средняя	Высокая				
Степень $N$ интеграции элементов	< 10	$10^1-10^2$	$10^2-10^3$	$10^3-10^4$	$10^4-10^5$	$10^5-10^6$	$10^6-10^7$
	< $10^2$		$10^2-10^4$		$10^4-10^6$		> $10^6$
Поколение элементов и СВТ	III		IV		V		VI
Уровень $\lambda$ технологии, мкм	> 3		3-1		1,0-0,3		< 0,3

интеграция — высокая интеграция. Такая трактовка отражает наибольшую объективность в оценках и, по существу, давно в целом используется при проектировании и конструировании СВТ. Отсюда вытекают следующие понятия:

ИС малой, средней и высокой интеграции;

БИС малой, средней и высокой интеграции;

СБИС малой, средней и высокой интеграции

и т. д.

При этом можно поставить знак тождества между понятиями: ИС высокой интеграции и БИС малой интеграции; БИС высокой интеграции и СБИС малой интеграции и т. д.

Такой подход к определению степени интеграции ИС, БИС и СБИС крайне важен, поскольку он затрагивает систему структурных функциональных уровней ЭВМ, а также систему уровней компоновки и уровней конструкции ЭВМ (см. таблицу).

Как ясно из таблицы, элементы ИС, БИС, СБИС охватывают диапазоны малой и средней степени интеграции. Что же касается диапазона высокой интеграции, то он всякий раз переходит к элементу более высокого уровня. В целом таблица и рисунок позволяют четче трактовать

понятия «поколение», «БИС», «СБИС», «степень интеграции», «уровень технологии» и выявлять их взаимосвязь.

## Выводы

1. Для каждого поколения СВТ характерны свои принципы проектирования и компоновки элементов и устройств, методы обработки информации, проблемы конструктивно-технологического порядка. Переход к каждому последующему поколению связан с изменением этих принципов и методов, что не может не отражаться на правилах взаимосвязи основных компоновочных параметров в логических схемах и конструкциях элементов и СВТ.

2. По мере развития элементной базы и перехода на многоядерные процессоры проблемы электронного конструирования усложняются [6–8] и достигают высшей точки в современных суперкомпьютерах [9, 10], где в одной конструкции объединены тысячи процессоров. Наука и искусство конструирования столь сложных систем еще только складываются на наших глазах.

## Литература

- [1] Микитин В.М. *Теория и практика расчета компоновочных параметров при электронном конструировании СВТ*. Москва, МИРЭА, 2002. 112 с.
- [2] Микитин В.М., Смирнов Н.А., Тювин Ю.Д. *Электронное конструирование ЭВМ. Основы компоновки и расчета параметров конструкций*. Москва, МИРЭА, 2000, 118 с.
- [3] *Закон Мура против нанометров* (2011). URL: <http://www.ixbt.com/cpu/microelectronicx.shtml> (дата обращения 31 августа 2015).
- [4] Савельев А.Я., Овчинников В.А. *Конструирование ЭВМ и систем*. Москва, Высшая школа, 1989. 321 с.
- [5] Шахнов В.А., ред. *Конструкторско-технологическое проектирование электронной аппаратуры*. Москва, Изд-во МГТУ им. Баумана, 2002. 528 с.
- [6] Корнеев В.В. *Вычислительные системы*. Москва, Гелиос АРВ, 2004, 512 с.
- [7] Калачев А.В. *Многоядерные процессоры*. Москва, Интернет-университет информационных технологий, 2010. 247 с.
- [8] Богданов А.В., Корхов В.В., Мареев В.В., Станкова Е.Н. *Архитектуры и топологии многопроцессорных вычислительных систем*. Москва, Интернет-университет информационных технологий, 2012. 176 с.
- [9] Кузьминский М. *Тор500: на заре пета-эры (анализ списка)*. *Суперкомпьютеры*, 2010, № 1, с. 17–20.
- [10] Левшин И. *Догоняющие и догнавшие*. *Суперкомпьютеры*, 2010, № 2, с. 8–10.

## References

- [1] Mikitin V.M. *Teoriia i praktika rascheta komponovochnykh parametrov pri elektronnom konstruirovanii SVT* [Theory and practice of calculating the layout parameters in the electronic design of CVT]. Moscow, MIREA publ., 2002. 112 p.

- [2] Mikitin V.M., Smirnov N.A., Tiuvin Iu.D. *Elektronnoe konstruirovaniye EVM. Osnovy komponovki i rascheta parametrov konstruksii* [Electronic design computers. Fundamentals of calculating the parameters of the layout and structures]. Moscow, MIREA publ., 2000. 118 p.
- [3] *Zakon Mura protiv nanometrov* [Moore's law against nanometers] (2011). Available at: <http://www.ixbt.com/cpu/microelectronicx.shtml> (accessed 31 August 2015).
- [4] Savel'ev A.Ia., Ovchinnikov V.A. *Konstruirovaniye EVM i sistem* [Designing electronic computer and systems]. Moscow, Vysshaia shkola publ., 1989. 321 p.
- [5] *Konstruktorsko-tehnologicheskoe proektirovaniye elektronnoi apparatury* [Design and technological design of electronic equipment]. Ed. Shakhnov V.A. Moscow, Bauman Press, 2002. 528 p.
- [6] Korneev V.V. *Vychislitel'nye sistemy* [Computer systems]. Moscow, Gelios ARV publ., 2004. 512 p.
- [7] Kalachev A.V. *Mnogojadernnye protsessory* [Multi-core processors]. Moscow, Internet Universitet Informatsionnykh Tekhnologii publ., 2010. 247 p.
- [8] Bogdanov A.V., Korkhov V.V., Mareev V.V., Stankova E.N. *Arkhitektury i topologii mnogo-protsessornykh vychislitel'nykh sistem* [Architecture and topology multiprocessor systems]. Moscow, Internet Universitet Informatsionnykh Tekhnologii publ., 2012. 176 p.
- [9] Kuz'minskii M. Top500: na zare peta-ery (analiz spiska) [Top500: at the dawn of peta-era (analysis of the list)]. *Superkomp'iutery* [Supercomputers]. 2010, no. 1, pp. 17–20.
- [10] Levshin I. Dogoniaiushchie i dognavshie [Are catching up and catching up]. *Superkomp'iutery* [Supercomputers]. 2010, no. 2, pp. 8–10.

Статья поступила в редакцию 08.10.2015

## Информация об авторах

**КОВАЛЕНКО Сергей Михайлович** (Москва) — кандидат технических наук, профессор, зав. кафедрой «Вычислительная техника». Московский государственный университет информационных технологий, радиотехники и электроники (119454, Москва, Российская Федерация, пр-т Вернадского, д. 78, e-mail: kovalenko@mirea.ru).

**ПЛАТОНОВА Ольга Владимировна** (Москва) — кандидат технических наук, доцент кафедры «Компьютерные системы автоматизации производства» МГТУ им. Н.Э. Баумана, доцент кафедры «Вычислительная техника» Московского государственного технического университета радиотехники, электроники и автоматики (119454, Москва, Российская Федерация, пр-т Вернадского, д. 78, e-mail: oplatonova@gmail.com).

**МИКИТИН Владимир Михайлович** (Москва) — доктор технических наук, профессор кафедры «Вычислительная техника». Московский государственный университет информационных технологий, радиотехники и электроники (119454, Москва, Российская Федерация, пр-т Вернадского, д. 78, e-mail: mikitin@mirea.ru).

## Information about the authors

**KOVALENKO Sergey Mikhailovich** (Moscow) — Candidate of Science (Eng.), Professor, Head of Computing Equipment Department. Moscow State Technical University of Radio Engineering, Electronics and Automation (119454, Moscow, Russian Federation, Vernadsky Ave., Bldg. 78, e-mail: kovalenko@mirea.ru).

**PLATONOVA Olga Vladimirovna** (Moscow) — Candidate of Science (Eng.), Associate Professor, Department of Computer Systems of Production Automation. Bauman Moscow State Technical University (105005, Moscow, Russian Federation, 2<sup>nd</sup> Baumanskaya St., Bldg. 5, Block 1, e-mail: oplatonova@gmail.com).

**MIKITIN Vladimir Mikhailovich** (Moscow) — Doctor of Science (Eng.), Professor, Computing Equipment Department. Moscow State Technical University of Radio Engineering, Electronics and Automation (119454, Moscow, Russian Federation, Vernadsky Ave., Bldg. 78, e-mail: mikitin@mirea.ru).